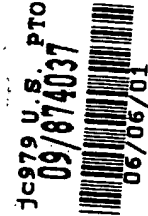


日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。 #2

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日  
Date of Application:

2000年 6月 8日

出 願 番 号  
Application Number:

特願2000-172483

願 人  
Applicant(s):

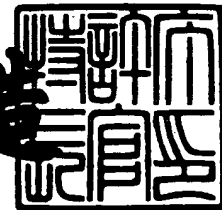
富士通株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 2月23日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3011225

【書類名】 特許願

【整理番号】 0040157

【提出日】 平成12年 6月 8日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体装置、半導体装置を含むモジュール、及びモジュールを含むシステム

【請求項の数】 7

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 松崎 康郎

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、半導体装置を含むモジュール、及びモジュールを含むシステム

【特許請求の範囲】

【請求項 1】 半導体装置から出力される位相調整用信号と第 1 のクロックとが所定の位相関係となるように第 2 のクロックを生成して出力する位相調整回路と、

前記半導体装置内に設けられ、前記第 2 のクロックから前記位相調整用信号を生成する出力回路と

を有することを特徴とするモジュール。

【請求項 2】 複数の半導体装置と、

該複数の半導体装置のうちの第 1 の半導体装置から出力される位相調整用信号と第 1 のクロックとが所定の位相関係となるように第 2 のクロックを生成して各半導体装置に出力する位相調整回路と、

前記複数の半導体装置及び位相調整回路を搭載する配線基板とを有し、

前記第 1 の半導体装置は前記第 2 のクロックから前記位相調整用信号を生成する出力回路を有することを特徴とするモジュール。

【請求項 3】 前記モジュールは、前記配線基板上に設けられ、前記位相調整用信号を外部に出力する端子を有することを特徴とする請求項 2 記載のモジュール。

【請求項 4】 前記第 1 の半導体装置を含む各半導体装置は同一の回路構成を有し、前記第 1 の半導体装置の出力回路のみに外部から所定の指示を与えて前記位相調整用信号を生成させることを特徴とする請求項 2 又は 3 項記載のモジュール。

【請求項 5】 前記各半導体装置の出力回路は、前記第 2 のクロックを遅延させるプログラム可能な遅延回路を具備することを特徴とする請求項 2 又は 3 記載のモジュール。

【請求項 6】 複数のモジュールと、

該モジュールを搭載する配線基板と、

各モジュールが出力するダミー出力データの負荷となるダミー出力負荷配線とを有することを特徴とするシステム。

【請求項 7】 第 1 の外部クロックを受信して第 1 の内部クロックを生成する第 1 のバッファと、

第 2 の外部クロックを受信して第 2 の内部クロックを生成する第 2 のバッファと、

前記第 1 の内部クロックに同期して入力データを取り込む入力バッファと、

前記第 2 の内部クロックに同期して出力データを出力する出力バッファと、

前記第 2 の内部クロックに同期してダミー出力データを出力する出力回路とを有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の半導体装置を回路基板上に搭載したモジュールに関し、特に、半導体装置の出力データのタイミングを外部クロックと一致させる技術に関する。

【0002】

【従来の技術】

従来から、複数の半導体装置を回路基板上に搭載してモジュールを構成することが行われている。例えば、複数の半導体記憶装置（メモリデバイス）を回路基板上に搭載してメモリモジュールが構成される。

【0003】

図 1 は、従来のメモリモジュールの一例（従来例 1）を示すブロック図である。図示のメモリモジュール 10 は配線基板 150 を有する。配線基板 150 上には、メモリデバイス（半導体記憶装置）100～107、PLL 回路（Phase Locked Loop: PLL）回路 11、各メモリデバイス 100～107 に対応して設けられた複数のデータ入出力端子 DQ、及びクロック入力端子 CLK が設けられている。メモリモジュール 10 は、データ入出力端子 DQ を介して複数ビットの平行データを入出力し、クロック入力端子 CLK を介して

外部からクロックを受け取る。

【 0 0 0 4 】

各メモリデバイス 1 0 0 ～ 1 0 7 は、データ入出力端子 D Q に接続されたデータ入出力端子 D Q \* を介してデータ信号 D Q を入出力する。

【 0 0 0 5 】

外部からのクロックは、クロック入力端子 C L K を介して P L L 回路 1 1 に与えられる。P L L 回路 1 1 が出力するクロックは、各メモリデバイス 1 0 0 ～ 1 0 7 のクロック入力端子 C L K \* に供給される。P L L 回路 1 1 は、メモリモジュール 1 0 を高速のクロックに同期して動作させるためのものである。もし外部クロックを直接各メモリデバイス 1 0 0 ～ 1 0 7 に供給すると、クロック入力端子 C L K からメモリデバイス 1 0 0 ～ 1 0 7 までのクロック供給線の寄生容量によりクロック波形がなまるため、高速動作が難しくなる。メモリデバイス 1 0 0 ～ 1 0 7 の数が多くなればなるほど寄生容量は増大するので、クロック波形のなまりは大きくなる。P L L 回路 1 1 はクロック供給線の寄生容量を削減するとともに、クロックのドライブ能力を高めて、メモリデバイス 1 0 0 ～ 1 0 7 に高精度のクロックを供給する。P L L 回路 1 1 から各メモリデバイス 1 0 0 ～ 1 0 7 へのクロック供給線の配線長を等しく設定すると、各メモリデバイス 1 0 0 ～ 1 0 7 のクロック入力端子 C L K \* でのクロックの入力タイミングは一致する。

【 0 0 0 6 】

図 2 は、図 1 に示すメモリモジュール 1 0 に搭載された P L L 回路 1 1 の周辺、及びメモリデバイス 1 0 0 の内部構成を示すブロック図である。また、図 3 は図 2 の回路構成の動作を示すタイミング図である。一例としてメモリデバイス 1 0 0 を図示するが、他のメモリデバイス 1 0 1 ～ 1 0 7 もメモリデバイス 1 0 0 と同じ構成で、同じように動作する。

【 0 0 0 7 】

メモリモジュール 1 0 は、そのデータ入出力端子 D Q 及びクロック入力端子 C L K に入力される信号のタイミング関係が、各メモリデバイス 1 0 0 ～ 1 0 7 のデータ入出力端子 D Q \* 及びクロック入力端子 C L K \* でも維持されるように構成されている。外部からのクロックは、クロック入力端子 C L K 及び遅延回路 2 1

を介して、クロックCLK1としてPLL回路11に供給される。PLL回路11が出力するクロックCLK2は、ツリー上のクロック供給線23を介してメモリデバイス100のクロック入力端子CLK\*にクロックCLK3として供給されるとともに、遅延回路22を介して入力側にクロックCLK4としてフィードバックされる。PLL回路11はクロックCLK1とCLK4の位相が一致するように、クロックCLK2の位相（出力タイミング）を制御する。

## 【0008】

遅延回路21は折れ曲がった配線パターンを有し、その遅延時間（遅延量）D1'は、メモリモジュール100のデータ入出力端子DQとメモリデバイス100のデータ入出力端子DQ\*とを接続するデータ線（データバス）24の遅延時間（遅延量）D1に等しい。また、遅延回路22は遅延回路21と同様の折れ曲がった配線パターンを有し、その遅延時間（遅延量）D2'は、クロック供給線23の遅延時間（遅延量）D2に等しい。PLL回路11はクロックCLK1とCLK4の位相が一致するように、クロックCLK2を位相調整して出力する。よって、データ入出力端子DQ及びクロック入力端子CLKに入力される信号のタイミング関係は、メモリデバイス100のデータ入出力端子DQ\*及びクロック入力端子CLK\*でも保たれる。

## 【0009】

メモリデバイス100は、データ出力バッファ110、データ入力バッファ111、クロック用の入力バッファ112、及び出力クロック用のDLL（Delay Locked Loop）回路113を具備している。DLL回路113は、PLL回路でも良い。クロック入力端子CLK\*に与えられるクロックCLK3は、入力バッファ112を介して、データ入力バッファ111とDLL回路113に供給される。データ入力バッファ111は、入力バッファ112が出力するクロックCLK3に同期して、データ入出力端子DQ\*に与えられる入力データを取り込む。DLL回路113は、クロックCLK3を遅延させることで得られるデータ出力用のクロックCLK10をデータ出力バッファ110に出力する。この遅延時間を適切に設定すると、メモリデバイス100はクロックCLK3と同じタイミングで出力データをデータ入出力端子DQ\*に出力できる。つま

り、クロックCLK10は、クロック入力端子CLK\*のクロックCLK3よりも、データ出力バッファ110の遅延D4だけ先行する。

#### 【0010】

上記構成のメモリモジュール10では、図3に示すように、データ入出力端子DQに出力されるデータは、クロック入力端子CLKに与えられるクロックCLKよりもDLY4×2だけ遅れてしまう。

#### 【0011】

図4は、従来例1とは別の構成を持つ従来のメモリモジュール（従来例2）を示すブロック図である。図示するメモリモジュール12は、従来例1よりも高速のクロックで動作できるようにするために、メモリモジュール12のデータ入出力端子DQと各メモリデバイス100A～107Aのデータ入出力端子DQ\*とが極力近づくように配置されている。PLL回路11は、メモリデバイス100A～107Aを2分割するように配置されている。PLL回路11からのクロック供給線23は、データ入出力端子DQとは反対側の配線基板12A上にツリー上に構成されている。なお、各メモリモジュール100A～107Aのデータ入出力端子DQ\*とクロック入力端子CLK\*は、メモリモジュール100～107とは異なり、チップの対向する辺に設けられている。

#### 【0012】

図5は、図4に示すメモリモジュール12に搭載されたPLL回路11の周辺、及びメモリデバイス100Aの内部構成を示すブロック図である。図5は、便宜上、データ入出力端子DQ\*とクロック入力端子CLK\*とがチップの同じ辺に形成されているように図示されている。また、図6は図5の回路構成の動作を示すタイミング図である。一例としてメモリデバイス100Aを図示するが、他のメモリデバイス101A～107Aもメモリデバイス100と同じ構成で、同じように動作する。

#### 【0013】

図5において、データ線24は極めて短いので、遅延は実質的に生じない。よって、クロック入出力端子CLKとPLL回路11とは、図2に示す遅延回路21を用いることなく直結されている。また、データ出力において、データ入出力



端子DQでの出力データDQの位相は、クロック入力端子CLKでの外部クロックの位相に一致している。これに対し、メモリモジュール10では、前述したように、クロック入力端子CLKでのクロックに対しD1×2の遅延が生じてしまう。

#### 【0014】

##### 【発明が解決しようとする課題】

上述のように、メモリモジュール10に搭載されたメモリデバイス100～107からデータを出力する場合、これらに夫々搭載されたDLL（又はPLL）回路113を用いて出力データのタイミングを調整している。DLL回路113は、高精度のタイミング調整を行うために、安定した電源を必要とする。しかし、DLL回路113はメモリデバイス100～107に搭載されているので、メモリデバイス100～107に供給される電源に畳乗されたノイズの影響を受けてしまう。このため、位相調整のずれ、クロックとデータ出力の位相にジッタが発生するという問題点がある。

#### 【0015】

上記問題点は、メモリモジュール12でも同じように発生する。

#### 【0016】

よって、本発明は、上記の問題点を解決し、電源ノイズに影響されることなく出力データとクロックを正確に同期させることができるモジュール、このモジュールに搭載可能な半導体装置、及び複数のモジュールを用いて構成されるシステムを提供することを目的とする。

#### 【0017】

##### 【課題を解決するための手段】

本発明は、半導体装置から出力される位相調整用信号と第1のクロックとが所定の位相関係となるように第2のクロックを生成して出力する位相調整回路と、前記半導体装置内に設けられ、前記第2のクロックから前記位相調整用信号を生成する出力回路とを有することを特徴とするモジュールである。

#### 【0018】

位相調整回路は半導体装置の外部に設けられているため、半導体装置に供給さ

れる電源にノイズが乗っていても、この電源ノイズの影響を受けることはない。従って、位相調整回路は電源ノイズに影響されることなく動作することができ、このようにして生成された第2のクロックをデータ出力用に用いることで、第2のクロックに正確に同期したデータ出力が得られる。

【0019】

【発明の実施の形態】

図7は、本発明のモジュールの第1の実施の形態を示すブロック図である。図示のメモリモジュール14は、回路基板160上に、同一回路構成のメモリデバイス120～127、入力クロック用PLL回路(PLL1)15、出力クロック用PLL回路(PLL2)16、データ入出力端子DQ、及びクロック入力端子CLKを有する。メモリデバイス123のダミー出力イネーブル端子には正の電源電圧VCCが外部からの指示として供給され、その他のメモリモジュール120～122、124～127のダミー出力イネーブル端子には電源電圧(グラウンド)VSSが供給される。これにより、メモリデバイス123のみ後述するダミーのデータ出力であるダミー出力データを発生する。

【0020】

メモリモジュール14のデータ入出力端子DQはメモリデバイス120～127にそれぞれ対応して設けられ、対応するメモリデバイス120～127のデータ入出力端子P1に接続されている。

【0021】

外部クロックが与えられるクロック入力端子CLKは、PLL回路15及び16の入力に接続されている。PLL回路15は位相調整回路として機能し、データ入力用のクロックを、クロック供給線23を介して各メモリデバイス120～127のクロック入力端子P4に出力する。PLL回路16は位相調整回路として機能し、データ出力用のクロックを、クロック供給線25を介して各メモリデバイス120～127の出力用クロック端子P3に出力する。クロック供給線23と25とは、同一遅延量である。つまり、クロック供給線23と25は同一配線長である。

【0022】

PLL回路16は、メモリデバイス123がダミー出力端子P2を介して出力するダミー出力データをダミー出力データ線（ダミーデータバス）26を介して受け取り、これを外部クロックと位相比較する。後述するように、メモリデバイス123は、出力用クロック端子P2を介して受け取ったクロックからダミー出力データを生成する。PLL回路16の制御によりダミー出力データと外部クロックの位相が一致するように、出力用クロックのタイミングを制御する。ダミー出力データ線26がデータ出力信号線24と同一遅延量であれば、ダミー出力データの位相とデータ入出力端子DQでの出力データの位相は一致する。つまり、データ入出力端子DQでの出力データは外部クロックに同期することになる。このように、ダミー出力データは位相調整用信号として機能する。

## 【0023】

図8は、図7に示すメモリモジュール14に搭載されたPLL回路15、16の周辺、およびメモリデバイス123の回路構成を示す図である。また、図9は、図8のデータ入力時の動作を示すタイミング図、図10は図8のデータ出力時の動作を示すタイミング図である。

## 【0024】

メモリモジュール14のデータ入出力端子DQは、データ線24を介して、メモリデバイス123のデータ入出力端子DQ\*（P1）に接続されている。メモリモジュール14のクロック入力端子CLKは、遅延回路21の一端及び出力クロック用のPLL回路16の一方の入力に接続されている。入力クロック用PLL回路5、遅延回路21、遅延回路22及びクロック供給線23は、前述したメモリモジュール10と同様である。つまり、データ入力時、図9に示すように、PLL回路15は、遅延回路21を介して受信したクロックCLK1と、遅延回路22からのクロックCLK4の位相差がゼロとなるように、出力クロックCLK2のタイミングを制御する。クロックCLK2はクロック供給線23を介して、メモリデバイス123のクロック入力端子CLK\*（P4）に与えられる。遅延回路21の遅延時間D1'はデータ線24の遅延時間D1に等しく、遅延回路22の遅延時間D2'はクロック供給線23の遅延時間D2に等しい。

## 【0025】

データ出力にかかる構成及び動作について、図 1 0 を参照して説明する。出力クロック用の P L L 回路 1 6 は、ダミー出力データ線 2 6 を介してダミー出力データを受け取り、これと外部クロック C L K との位相を比較する。P L L 回路 1 6 が出力するクロック C L K 5 は、クロック供給線 2 5 を介して、メモリデバイス 1 2 3 のクロック入力端子 C L K - O ( P 3 ) に、クロック C L K 6 として供給される。

#### 【 0 0 2 6 】

メモリデバイス 1 2 3 は、前述したデータ出力バッファ 1 1 0、データ入力バッファ 1 1 1、クロック用入力バッファ 1 1 2 に加え、出力クロック用入力バッファ 1 1 4、ダミー出力バッファ 1 1 5、バッファ 1 1 6 及びダミー出力イネーブル端子 P 5 を具備する。メモリデバイス 1 2 3 は、図 2 や図 5 に示す出力クロック用 D L L 回路 1 1 3 を持たない。出力クロック用入力バッファ 1 1 4 は、クロック入力端子 P 3 に与えられるクロック C L K 6 をバッファリングして、データ出力バッファ 1 1 0 とダミー出力バッファ 1 1 5 に出力する。ダミー出力バッファ 1 1 5 には、ダミー出力イネーブル端子 P 5 及びバッファ 1 1 6 を介して、電源電圧 V C C が供給されている。バッファ 1 1 6 の出力信号はダミー出力イネーブル信号 D M M - E N として機能し、ダミー出力バッファ 1 1 5 はイネーブル状態に設定される。例えば、ダミー出力バッファ 1 1 5 に供給する電源電圧 V C C をオン・オフするトランジスタ（スイッチ）のゲートにダミー出力イネーブル信号 D M M - E N を印加してトランジスタをオンとすることで、イネーブル状態が設定できる。ダミー出力バッファ 1 1 5 は、受け取ったクロックをバッファリングして、ダミー出力端子 P 2 に出力する。ダミー出力バッファ 1 1 5 は、データ出力バッファ 1 1 0 の遅延時間 D 4 と同一の遅延時間 D 4 ' を有する。出力クロック用入力バッファ 1 1 4 の遅延時間を D 3 とすれば、クロック C L K 6 は  $D 3 + D 4 '$  だけ遅れて、ダミー出力データ D U M M 1 としてダミー出力端子 P 2 に出力される。

#### 【 0 0 2 7 】

ダミー出力データ D U M M 1 は、ダミー出力データ線 2 6 を介してダミー出力データ D U M M 2 として出力クロック用 P L L 回路 1 6 に与えられる。ダミー出

力データ線 2 6 は遅延時間  $D 1'$  を有する。PLL 回路 1 6 は、外部クロック CLK とダミー出力データ DUMM 2 とを位相比較して、その位相差がゼロとなるように出力クロック CLK 5 のタイミングを制御する。クロック入力端子 CLK と PLL 回路 1 6 との間は、その間の配線による遅延時間を無視できる程度に近接している。クロック CLK 5 は、クロック供給線 2 5、出力クロック用入力バッファ 1 1 4、ダミー出力バッファ 1 1 5 及びダミー出力データ線 2 6 を通る間に  $D 2 + D 3 + D 4' + D 1'$  ( $= D 1 + D 2 + D 3 + D 4$ ) だけ遅延する。ダミー出力データ DUMM 2 と外部クロック CLK の位相が一致することとは、外部クロック CLK とデータ出力端子 DQ でのデータ信号との位相が一致することを意味している。

## 【 0 0 2 8 】

このように制御されたクロック CLK 5 は、等配線長のクロック供給線 2 5 を介して各メモリデバイス 1 2 0 ~ 1 2 7 に供給される。よって、各メモリデバイス 1 2 0 ~ 1 2 7 が出力するデータは、メモリモジュール 1 4 のデータ入出力端子 DQ において、外部クロック CLK と位相が一致する。つまり、外部クロック CLK に同期して各データ入出力端子 DQ からデータを出力することができる。なお、メモリデバイス 1 2 4 以外のメモリデバイス 1 2 0 ~ 1 2 3、1 2 5 ~ 1 2 7 のダミー出力イネーブル端子 P 5 には電源電圧 VSS が供給されるので、それらのダミー出力バッファ 1 1 5 はディスエーブル状態に設定されており、ダミー出力データを出力しない。

## 【 0 0 2 9 】

このように、データ出力のタイミング調整はメモリモジュール 1 4 の配線基板 1 6 0 上に設けた出力クロック用 PLL 回路 1 6 で行う構成としたため、各メモリデバイス 1 2 0 ~ 1 2 7 に DLL を設ける必要がなくなる。よって、メモリデバイス 1 2 0 ~ 1 2 7 の電源にノイズが乗っても、データ出力のタイミング調整は何ら影響を受けることはない。また、図 8 に示すように、ノイズフィルタ 2 9 で電源電圧 VCC のノイズを除去して、PLL 回路 1 5 及び 1 6 に供給するように構成すれば、より安定したタイミング制御が可能となる。ノイズフィルタ 2 9 は、電源からノイズを除去できる公知のものを用いることができる。

## 【 0 0 3 0 】

図 1 1 は、本発明の第 1 の実施の形態の変形例であるメモリモジュール 1 4 A の回路構成を示す。図 1 1 において、図 8 と同様の構成については同一符号を付してある。

## 【 0 0 3 1 】

メモリデバイス 1 2 3 A は、図 8 に示すメモリデバイス 1 2 3 に対し、可変遅延回路 1 1 7 及びプログラマブル回路 1 1 8 を設けた構成である。可変遅延回路 1 1 7 は、出力クロック用入力バッファ 1 1 4 の出力をプログラマブル回路 1 1 8 で設定した遅延時間だけ遅延させ、データ出力バッファ 1 1 0 及びダミー出力バッファ 1 1 5 に出力する。

## 【 0 0 3 2 】

これらの新たに設けた回路は、製造ばらつきによりメモリデバイスごとにデバイス内部での遅延時間（D 3 や D 4 ' など）に差が発生する。これを補正するために、可変遅延回路 1 1 7 とプログラマブル回路 1 1 8 を設け、各メモリデバイスでクロック入力端子 P 3 とダミー出力端子 P 2 との間の遅延時間が一定になるようにする。ウェハ試験又は出荷試験において、プログラマブル回路 1 1 8 をプログラムして、可変遅延回路 1 1 7 がプログラムされた補正值（遅延時間）を持つようにする。この補正值により、出力クロック用入力バッファ 1 1 4 と可変遅延回路 1 1 8 との合計遅延時間が D 3 となる。メモリモジュール 1 4 A に搭載する全てのメモリデバイスをプログラムして、クロック入力端子 P 3 からダミー出力端子 P 2 までの遅延時間を等しくする。この結果、メモリモジュール 1 4 A に搭載されるメモリデバイスのうちの 1 つ（メモリデバイス 1 2 3 A）において、前述した P L L 回路 1 6 を用いた出力クロックのタイミング調整を行えば、他のメモリデバイスの出力タイミングは精度良く一致する。データ入力動作及びデータ出力動作はそれぞれ、図 9 及び図 1 0 に示すタイミングで行われる。

## 【 0 0 3 3 】

図 1 2 は、図 1 1 に示す可変遅延回路 1 1 7 とプログラマブル回路 1 1 8 の一回路構成例を示す回路図である。可変遅延回路 1 1 7 は、インバータ 1 7 0、1 7 1、抵抗 R 1 及びキャパシタ C 1、C 2、C 3 を具備する。抵抗 R 1 の一端は

インバータ 170 の出力端子に接続され、他端はインバータ 171 の入力端子及びキャパシタ C1 ～ C3 の一端に接続されている。プログラマブル回路 118 は、一端がキャパシタ C1、C2、C3 にそれぞれ接続され、他端が接地されたヒューズ H1、H2、H3 を有する。ヒューズ H1 ～ H3 を切断して、前述した補正值を設定する。

## 【0034】

図 13 は、本発明の第 2 の実施の形態によるメモリモジュール 16 を示すブロック図である。図中、前述した図に示す構成要素と同一のものには同じ参照番号を付してある。

## 【0035】

前述した第 1 の実施の形態の変形例において、データ入出力端子 DQ には配線基板 160 上に形成されたデータ線（データバス）24 が接続されるため、ダミー出力データの位相を高精度で一致させるためには、図 13 に示すようにダミー出力データ線 26 にダミー出力端子 17 を設け、ここにデータ入出力端子 DQ に接続される負荷と同様の負荷を接続できるようにして、負荷条件を同じに設定することが好ましい。厳密に同じでなくても、使用条件等を考慮して許容できる範囲内であれば良い。また、メモリデバイス 123A の端子 P5 に接続されるダミー出力イネーブル端子 18 を回路基板 160 上に設け、これに電源電圧 VCC を選択的に印加できるようにしてある。

## 【0036】

図 14 は、図 13 に示すメモリモジュール 16 に搭載された PLL 回路 15、16 の周辺、及びメモリデバイス 123A の内部構成を示すブロック図である。ダミー出力端子 17 は、ダミー出力端子 P2 と PLL 回路 16 とに接続されている。ダミー出力端子 17 とダミー出力端子 P2 との配線長は、ダミー出力端子 P2 と PLL 回路 16 との配線長に等しい。換言すれば、ダミー出力端子 17 とダミー出力端子 P2 との遅延時間は、ダミー出力端子 P2 と PLL 回路 16 との遅延時間に等しい。

## 【0037】

このように構成されたメモリモジュール 16 を複数個、配線基板に搭載して 1

つのメモリシステムを構成する。図 1 5 は、配線基板 1 9 0 上に複数のメモリモジュール  $16_1 \sim 16_n$  ( $n$  は任意の整数) 搭載して構成されるメモリシステム 2 0 0 を示すブロック図である。各メモリモジュールは、例えば図 1 4 に示す構成を有する。各メモリモジュール  $16_1 \sim 16_n$  のダミー出力端子 1 7 は、配線基板 1 9 0 上に設けられた共通のダミー出力負荷線 (データバス) 9 0 に接続されている。また、各メモリモジュール  $16_1 \sim 16_n$  のダミー出力イネーブル端子 1 8 は、配線基板 1 9 0 上に設けられた外部接続用のダミー出力イネーブル端子  $180_1 \sim 180_n$  にそれぞれ接続されている。なお、配線基板 1 9 0 上には、正規のデータを伝送するデータバスやクロックを供給するクロック供給線などが搭載されているが、図面を簡単にするために、これらの図示を省略してある。

## 【 0 0 3 8 】

ダミー出力データを用いたデータ出力の位相調整は、外部に設けられた任意のコントローラ (例えば、DRAM コントローラ) からダミー出力イネーブル端子  $180_1 \sim 180_n$  を 1 つずつ選択し、選択したダミー出力イネーブル端子に電源電圧 VCC を印加して行う。選択したメモリモジュールのデータ出力の位相調整については、前述した通りである。

## 【 0 0 3 9 】

図 1 6 は、図 1 5 に示すメモリシステムの変形例を示すブロック図である。図 1 6 に示すメモリシステム 2 0 0 A は、各メモリモジュール  $16_1 \sim 16_n$  毎にそれぞれダミー出力負荷線  $90_1 \sim 90_n$  を設けた構成である。メモリモジュール  $16_1 \sim 16_n$  のダミー出力イネーブル端子 1 8 はそれぞれ外部接続用のダミー出力イネーブル端子 1 8 に接続されている。メモリシステム 2 0 0 A は各メモリモジュール  $16_1 \sim 16_n$  毎にそれぞれダミー出力負荷線  $90_1 \sim 90_n$  を設けた構成なので、複数のメモリモジュールの位相調整を同時に行うことができる。従って、各メモリモジュール  $16_1 \sim 16_n$  に共通に電源電圧 VCC を与える構成であっても良い。つまり、ダミー出力イネーブル端子  $180_1 \sim 180_n$  に代えて、1 つのダミー出力イネーブル端子を配線基板 1 9 0 上に設ける構成であっても良い。

## 【 0 0 4 0 】



なお、図 1 5 及び図 1 6 の構成において、ダミー出力イネーブル端子  $180_1 \sim 180_n$  の配置位置は図示するものに限定されず、例えばその対向する側に設ける構成であっても良い。また、ダミー出力イネーブル端子を唯一個とし、基板 1 6 0 にスイッチを設け、このスイッチを制御する外部からの制御信号でスイッチを制御して、メモリデバイスを 1 つずつ選択できるようにしても良い。

## 【 0 0 4 1 】

図 1 7 は、本発明の第 3 の実施の形態によるメモリモジュール 1 9 を示すブロック図である。図中、前述した構成要素と同一のものには同一の参照番号を付してある。メモリモジュール 1 9 は、PLL 回路 1 5、1 6 及びその周辺回路を配線基板 1 6 0 のほぼ中央に設けてメモリデバイス 1 2 0 A ~ 1 2 2 A、1 2 3 B、1 2 4 A ~ 1 2 7 A を 2 分割するとともに、ツリー上のクロック供給線 2 3、2 4 をデータ入出力線が設けられている側とは反対側に設けた構成である。各メモリデバイス 1 2 0 A ~ 1 2 2 A、1 2 3 B、1 2 4 A ~ 1 2 7 A は、対応するデータ入出力端子 D Q にできるだけ近接するように配置されている。同様に PLL 回路 1 5 は、外部クロックが供給されるクロック入力端子 C L K にできるだけ近接するように位置決めされている。このため、これらの配線の遅延時間は動作周波数に対し無視できる程度なので、メモリモジュール 1 9 は前述したメモリモジュール 1 6、1 6 A よりもより高速の外部クロックに応答して動作することができる。また、遅延回路 2 1 も必要とされない。

## 【 0 0 4 2 】

図 1 8 は、図 1 7 に示すメモリモジュール 1 9 に搭載された PLL 回路 1 5、1 6 の周辺、及びメモリデバイス 1 2 3 B の内部構成を示すブロック図である。また、図 1 9 は図 1 8 の回路構成のデータ入力時の動作を示すタイミング図であり、図 2 0 はデータ出力時の動作を示すタイミング図である。

## 【 0 0 4 3 】

図 1 8 において、メモリデバイス 1 2 3 B の電氣的な内部構成は図 1 4 に示すメモリデバイス 1 2 3 A と同じである。しかしながら、図 1 7 に示すように端子 P 3、P 4、P 5 は端子 P 1、P 2 とは反対側の辺に設けられている点でメモリデバイス 1 2 3 A と 1 2 3 B とは相違する。また、データ線 2 4 の遅延時間は実

施的に無視できる程度のものであり、またダミー出力線26の遅延時間も実質的に無視できる程度のものである。つまり、図8の $D1 = D1' \approx 0$ である。

## 【0044】

図19に示すデータ入力時の動作は、図6に示す従来例2の動作と同様である。

## 【0045】

図20に示すデータ出力時の動作において、データ入出力信号線の遅延時間は実質的に無視できるので、PLL回路16はクロックCLK5とダミー出力データDUMM1とは $D2 + D3 + D4$ の位相差となるようにCLK5の位相を調整する点で、図10に示す第1及び第2の実施の形態のデータ出力時の動作と相違する。

## 【0046】

図21は、本発明の第4の実施の形態によるメモリモジュール20に搭載されたPLL回路15、16の周辺、及びメモリデバイス123Bの内部構成を示すブロック図である。図中、前述した構成要素と同一のものには同一の参照番号を付してある。

## 【0047】

メモリモジュール20の特徴は、PLL回路16の入力クロックにPLL回路15にフィードバックされるクロックCLK4を用いたものである。メモリモジュール20に供給される外部クロックCLKとクロックCLK4とは同期がとれているので、PLL回路16には外部クロックCLKに代えてクロックCLK4を供給しても動作は同じである。クロックCLK4をPLL回路16に入力すれば、外部クロックCLKはPLL回路15のみに与えられるので、外部クロックCLKをPLL回路15と16の両方に供給する場合に比べて、外部クロックCLKが駆動する負荷を軽減することができる。なお、図21において、メモリデバイス123Bに代えてメモリデバイス123又は、123Aを用いても同様に構成することができる。

## 【0048】

以上、本発明の実施の形態及びその変形例を説明した。本発明は、明細書に記

載の実施の形態や変形例に限定されるものではなく、明細書及び図面の記載に基づき当業者にとって自明な他の実施の形態や変形例を含むものである。

【 0 0 4 9 】

例えば、前述の本発明の実施の形態では、メモリデバイスを複数個回路基板に搭載したメモリモジュールであってが、本発明は他の半導体装置を複数個回路基板に搭載したモジュールを含む。また、メモリモジュールには図示したメモリデバイス、PLL回路15、16以外の回路素子を含むものであっても良い。更に、メモリデバイスは一行配列であったが、メモリデバイスの配列はこれに限定されるものではなく、複数列などの任意の配列を採用することができる。メモリデバイスの数も図示した数に限定されず、任意の数のメモリデバイスを用いることができる。また、PLL回路15や16は、DLL回路であっても良い。

【 0 0 5 0 】

更に、メモリデバイスは外部クロックに同期して動作するSDRAM (Synchronous DRAM)、FCRAM (First Cycle RAM) などの公知の各種デバイスで構成できる。また、外部クロックに同期して動作する半導体装置であれば良く、メモリデバイスに限定されるものではない。

(付記1) 半導体装置から出力される位相調整用信号と第1のクロックとが所定の位相関係となるように第2のクロックを生成して出力する位相調整回路と、

前記半導体装置内に設けられ、前記第2のクロックから前記位相調整用信号を生成する出力回路と

を有することを特徴とするモジュール。

(付記2) 前記半導体装置は、前記第2のクロックに応じてデータを出力する出力バッファを有することを特徴とする付記1記載のモジュール。

(付記3) 複数の半導体装置と、

該複数の半導体装置のうちの第1の半導体装置から出力される位相調整用信号と第1のクロックとが所定の位相関係となるように第2のクロックを生成して各半導体装置に出力する位相調整回路と、

前記複数の半導体装置及び位相調整回路を搭載する配線基板とを有し、

前記第1の半導体装置は前記第2のクロックから前記位相調整用信号を生成す

る出力回路を有することを特徴とするモジュール。

（付記 4）前記各半導体装置は、前記第 2 のクロックに応じてデータを出力する出力バッファを有することを特徴とする付記 3 記載のモジュール。

（付記 5）前記モジュールは、各半導体装置から出力されるデータを伝送する第 1 のデータ線と、前記第 1 の半導体装置から出力される位相調整用信号を伝送する第 2 のデータ線とを有し、

前記第 1 と第 2 のデータ線は前記配線基板上に設けられていることを特徴とする付記 3 又は 4 に記載のモジュール。

（付記 6）前記第 1 及び第 2 のデータ線は、前記配線基板上の同じ側に配置されていることを特徴とする付記 5 記載のモジュール。

（付記 7）前記第 1 及び第 2 のデータ線は、前記複数の半導体装置を挟むように前記配線基板上の対向する側に配置されていることを特徴とする付記 5 記載のモジュール。

（付記 8）前記第 1 のデータ線と第 2 のデータ線とは、実質的に同一の遅延量を有することを特徴とする付記 5 又は 6 記載のモジュール。

（付記 9）前記第 1 のデータ線と第 2 のデータ線は、遅延量が実質的に無視できる長さであることを特徴とする付記 5 又は 6 記載のモジュール。

（付記 10）前記モジュールは、前記配線基板上に設けられ、前記位相調整用信号を外部に出力する端子を有することを特徴とする付記 3 ないし 9 のいずれか一項記載のモジュール。

（付記 11）前記第 1 の半導体装置は、外部からの所定の指示に従い、前記位相調整用信号を生成することを特徴とする付記 3 ないし 10 のいずれか一項記載のモジュール。

（付記 12）前記第 1 の半導体装置を含む各半導体装置は同一の回路構成を有し、前記第 1 の半導体装置の出力回路のみに外部から所定の指示を与えて前記位相調整用信号を生成させることを特徴とする付記 3 ないし 10 のいずれか一項記載のモジュール。

（付記 13）前記第 1 のクロックは外部から供給されることを特徴とする付記 3 ないし 11 のいずれか一項記載のモジュール。

(付記 1 4) 前記第 1 のクロックは、外部から供給されたクロックに基づきモジュール内部で生成したクロックであることを特徴とする付記 3 ないし 1 1 のいずれか一項記載のモジュール。

(付記 1 5) 前記各半導体装置の出力回路は、前記第 2 のクロックを遅延させるプログラム可能な遅延回路を具備することを特徴とする付記 3 ないし 1 4 のいずれか一項記載のモジュール。

(付記 1 6) 前記各半導体装置は、半導体記憶装置であることを特徴とする付記 3 ないし 1 5 のいずれか一項記載のモジュール。

(付記 1 7) 前記位相調整回路は、前記第 2 のクロックから生成したダミー出力データであることを特徴とする付記 3 ないし 1 6 のいずれか一項記載のモジュール。

(付記 1 8) 前記モジュールは、前記第 1 の半導体装置にデータ入力用として供給される第 3 のクロックと前記第 1 のクロックとが所定の位相関係となるように前記第 3 のクロックを生成して各半導体装置に供給する第 2 の位相調整回路を有することを特徴とする付記 3 ないし 1 7 のいずれか一項記載のモジュール。

(付記 1 9) 前記第 1 のクロックは、前記第 3 のクロックに相当することを特徴とする付記 1 8 記載のモジュール。

(付記 2 0) 複数のモジュールと、

該モジュールを搭載する配線基板と、

各モジュールが出力するダミー出力データの負荷となるダミー出力負荷配線とを有することを特徴とするシステム。

(付記 2 1) 前記ダミー出力負荷線は各モジュールに共通して設けられていることを特徴とする付記 2 0 記載のシステム。

(付記 2 2) 前記ダミー出力負荷線は各モジュールごとに設けられていることを特徴とする付記 2 0 記載のシステム。

(付記 2 3) 各モジュールは付記 3 ないし 1 9 の何れか一項記載のモジュールであることを特徴とする付記 2 0 ないし 2 2 のいずれか一項記載のシステム。

(付記 2 4) 第 1 の外部クロックを受信して第 1 の内部クロックを生成する第 1 のバッファと、

第 2 の外部クロックを受信して第 2 の内部クロックを生成する第 2 のバッファと、

前記第 1 の内部クロックに同期して入力データを取り込む入力バッファと、  
前記第 2 の内部クロックに同期して出力データを出力する出力バッファと、  
前記第 2 の内部クロックに同期してダミー出力データを出力する出力回路と  
を有することを特徴とする半導体装置。

(付記 2 5) 前記出力回路は、外部からのダミー出力データの出力指示に従い、  
前記第 2 の内部クロックからダミー出力データを出力することを特徴とする付記  
2 4 記載の半導体装置。

(付記 2 6) 前記出力回路は、前記第 2 の内部クロックを遅延させるプログラム  
可能は遅延回路を具備することを特徴とする付記 2 4 又は 2 5 記載の半導体装置  
。

(付記 2 7) 前記半導体装置は、半導体記憶装置であることを特徴とする付記 2  
4 ないし 2 6 のいずれか一項記載の半導体装置。

【 0 0 5 1 】

【発明の効果】

以上説明したように、本発明によれば、位相調整回路は半導体装置の外部に設けられているため、半導体装置に供給される電源にノイズが乗っていても、この電源ノイズの影響を受けることはない。従って、位相調整回路は電源ノイズに影響されることなく動作することができ、このようにして生成された第 2 のクロックをデータ出力用に用いることで、第 2 のクロックに正確に同期したデータ出力が得られる。

【図面の簡単な説明】

【図 1】

従来のメモリモジュールの一構成例（従来例 1）を示すブロック図である。

【図 2】

図 1 に示すメモリモジュールの回路構成例を示すブロック図である。

【図 3】

図 1 及び図 2 に示すメモリモジュールの動作を示すタイミングチャートである

【図 4】

従来のメモリモジュールの別の構成例（従来例 2）を示すブロック図である。

【図 5】

図 4 に示すメモリモジュールの回路構成例を示すブロック図である。

【図 6】

図 4 及び図 5 に示すメモリモジュールの動作を示すタイミングチャートである。

【図 7】

本発明の第 1 の実施の形態によるメモリモジュールの全体構成を示すブロック図である。

【図 8】

本発明の第 1 の実施の形態によるメモリモジュールの回路構成例を示すブロック図である。

【図 9】

本発明の第 1 の実施の形態によるメモリモジュールのデータ入力時の動作を示すタイミング図である。

【図 1 0】

本発明の第 1 の実施の形態によるメモリモジュールのデータ出力時の動作を示すタイミング図である。

【図 1 1】

図 8 に示す回路構成の変形例を示すブロック図である。

【図 1 2】

図 1 1 に示す可変遅延回路とプログラマブル回路の一構成例を示す回路図である。

【図 1 3】

本発明の第 2 の実施の形態によるメモリモジュールの全体構成を示すブロック図である。

【図 1 4】

図 1 3 に示すメモリモジュールの回路構成例を示すブロック図である。

【図 1 5】

本発明の第 2 の実施の形態によるメモリモジュールを用いたメモリシステムの全体構成を示すブロック図である。

【図 1 6】

本発明の第 2 の実施の形態によるメモリモジュールを用いたメモリシステムの全体構成を示すブロック図である。

【図 1 7】

本発明の第 3 の実施の形態によるメモリモジュールの全体構成を示すブロック図である。

【図 1 8】

図 1 7 に示すメモリモジュールの回路構成例を示すブロック図である。

【図 1 9】

図 1 6 及び図 1 7 に示すメモリモジュールのデータ入力時の動作を示すタイミング図である。

【図 2 0】

図 1 6 及び図 1 7 に示すメモリモジュールのデータ出力時の動作を示すタイミング図である。

【図 2 1】

本発明の第 4 の実施の形態によるメモリモジュールの全体構成を示すブロック図である。

【符号の説明】

1 0、1 2、1 4、1 4 A、1 6、1 6<sub>1</sub>～1 7<sub>n</sub>、1 9、2 0      メモリモジュール

1 1、1 5、1 6      P L L

2 1、2 2      遅延回路

2 3、2 5      クロック供給線

2 4      データ線

2 6      ダミー出力線



100~107、100A~107A、120~127、123A、123B

メモリデバイス

150、160 配線基板

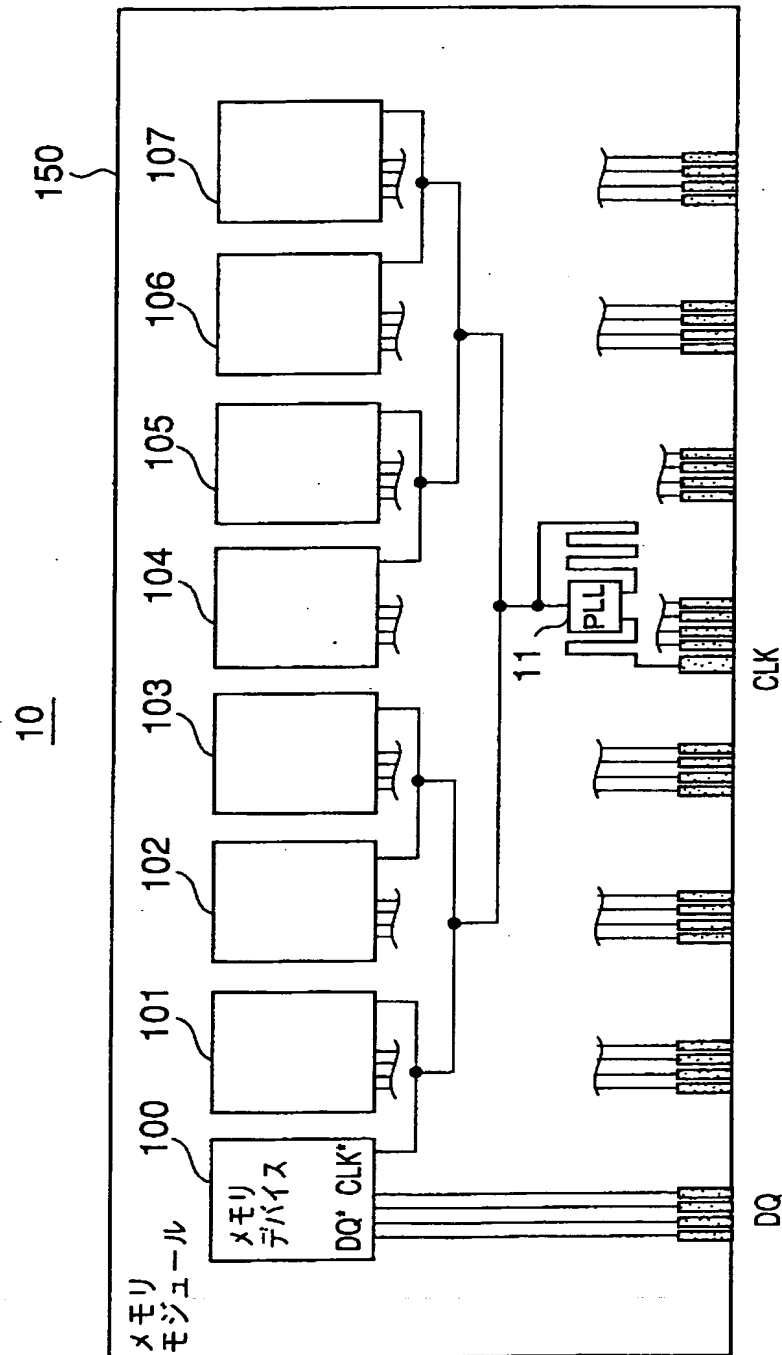
200、200A メモリシステム

【書類名】

図面

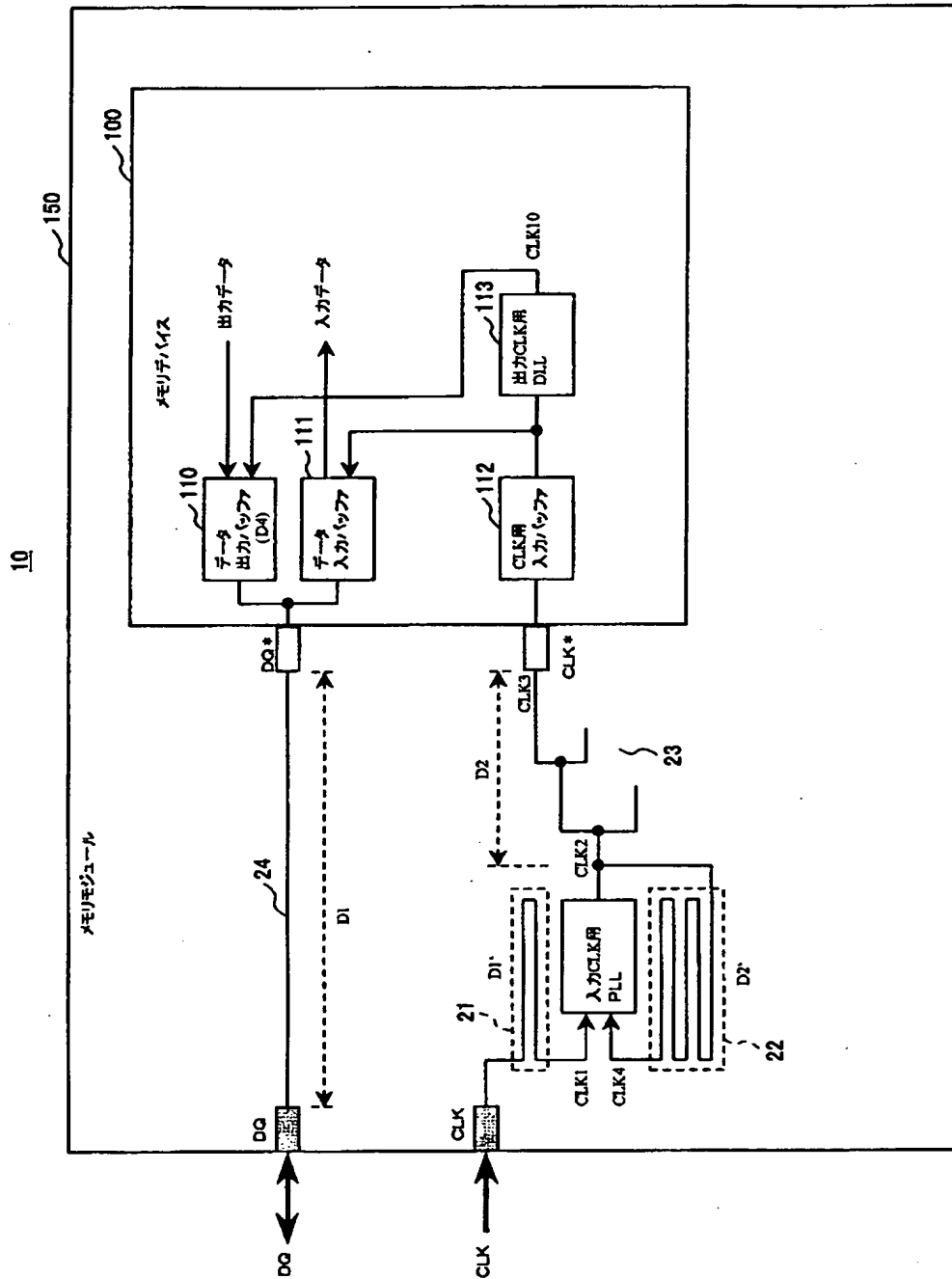
【図 1】

従来のメモリモジュールの一構成例（従来例1）を示すブロック図



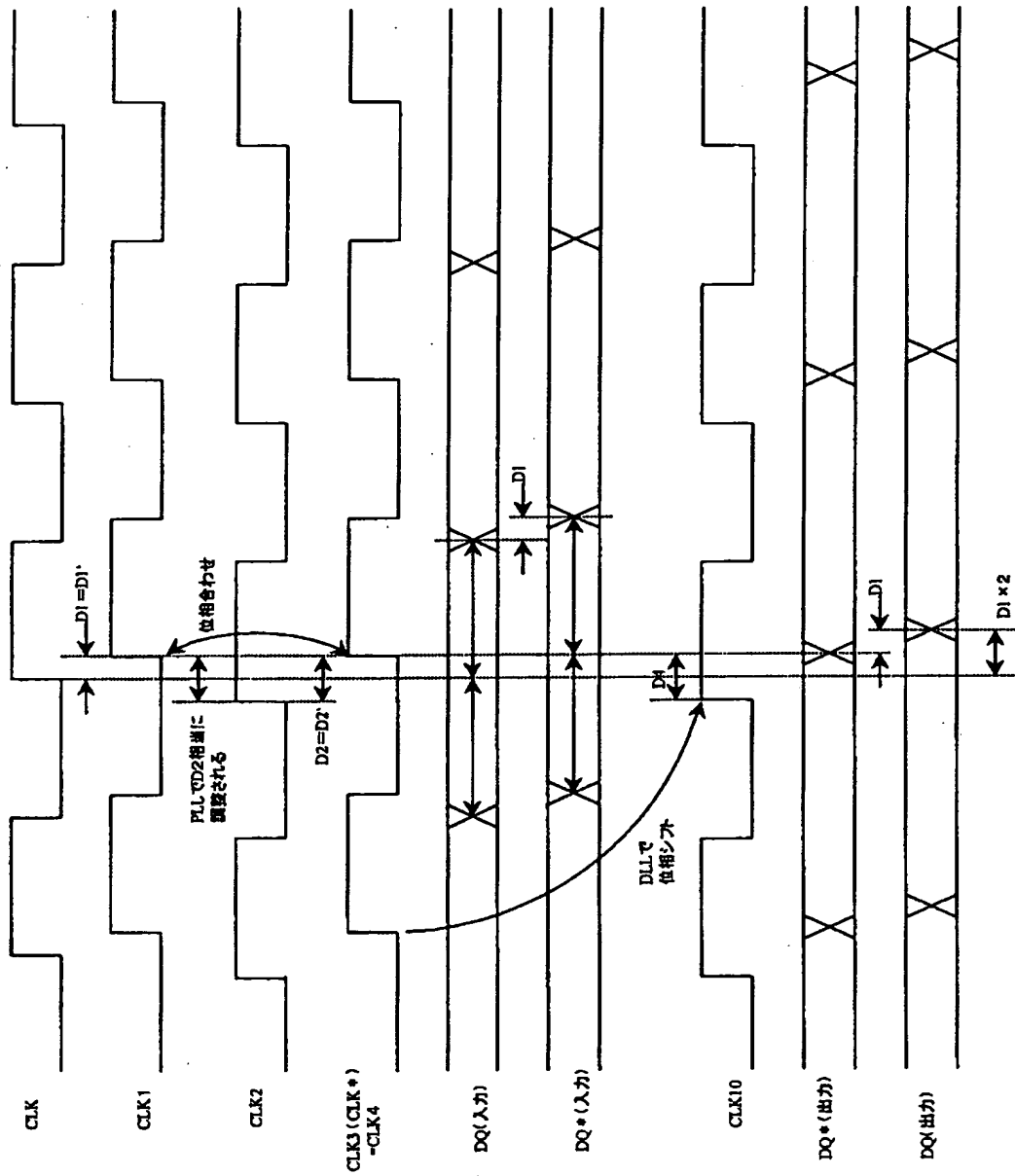
【図 2】

図 1 に示すメモリモジュールの回路構成例を示すブロック図



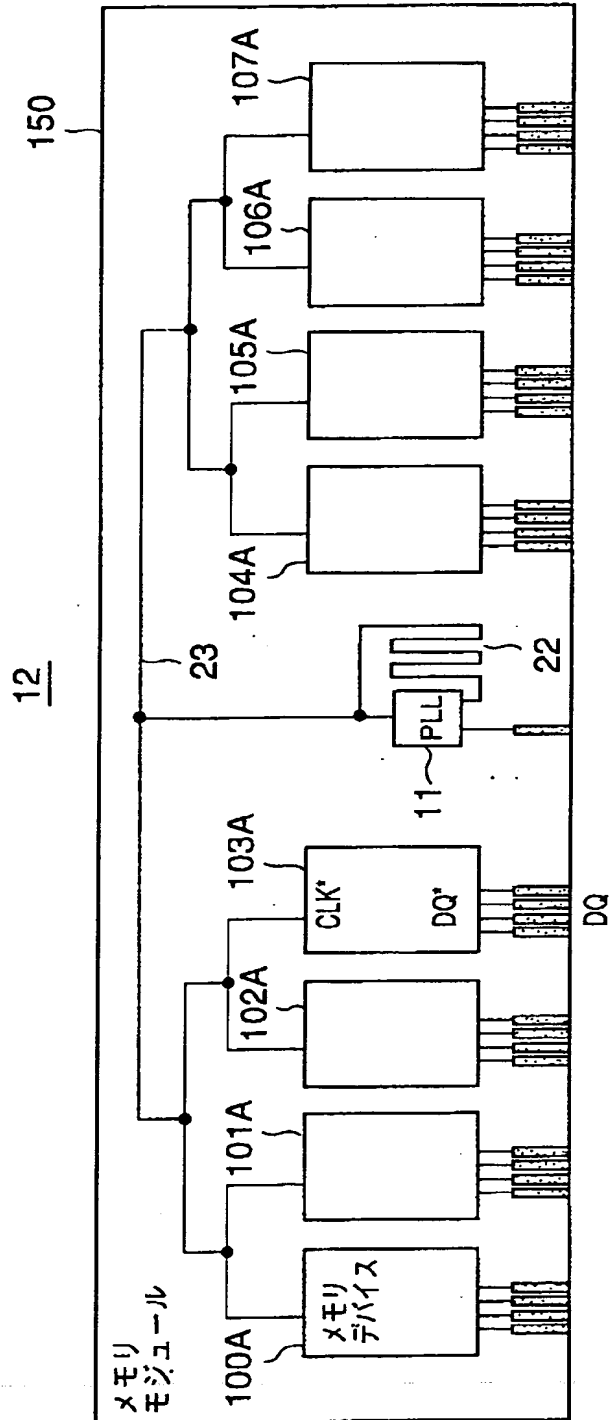
【図3】

図1及び図2に示すメモリモジュール  
の動作を示すタイミングチャート



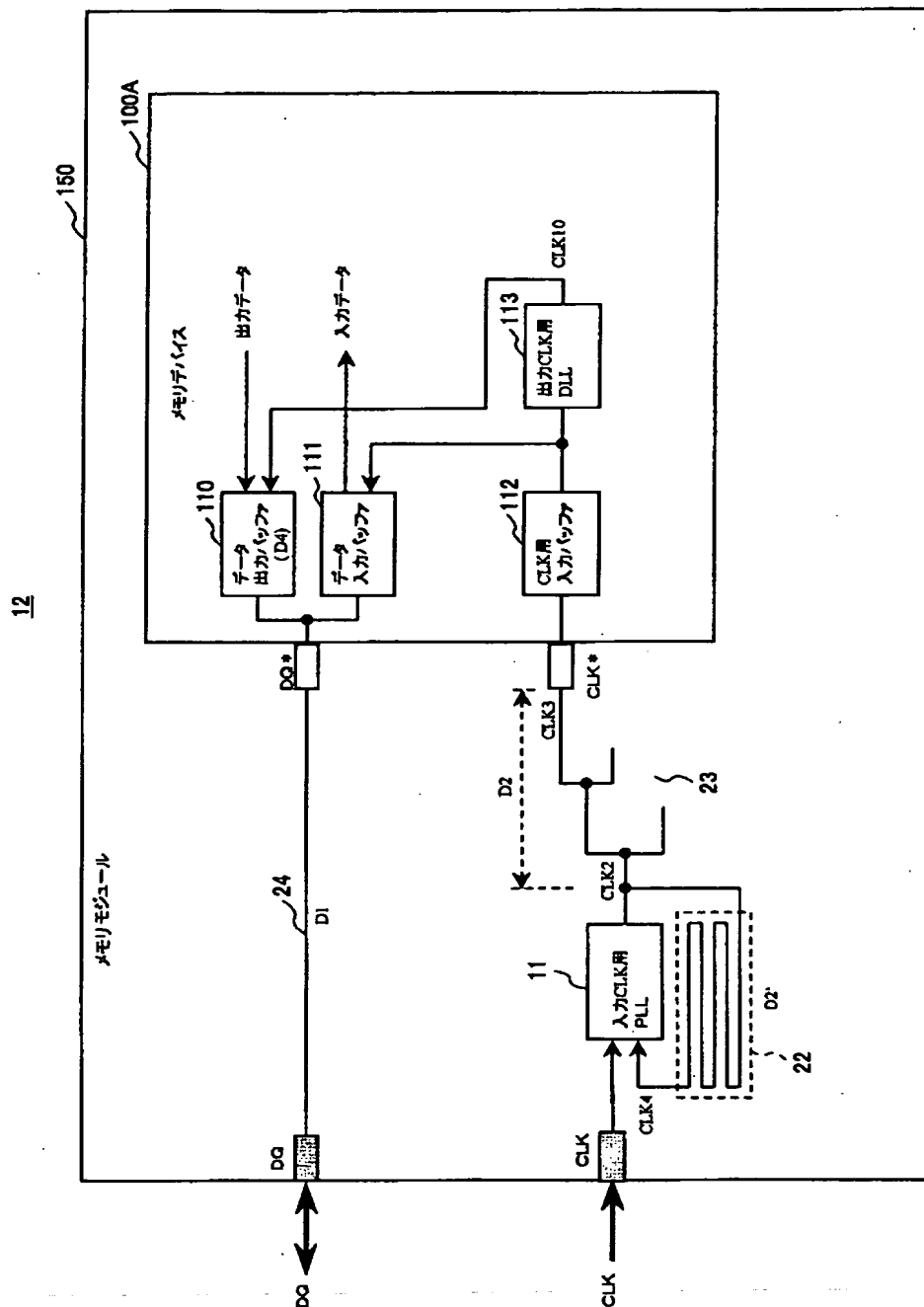
【図4】

従来のメモリモジュールの別の構成例(従来例2)を示すブロック図



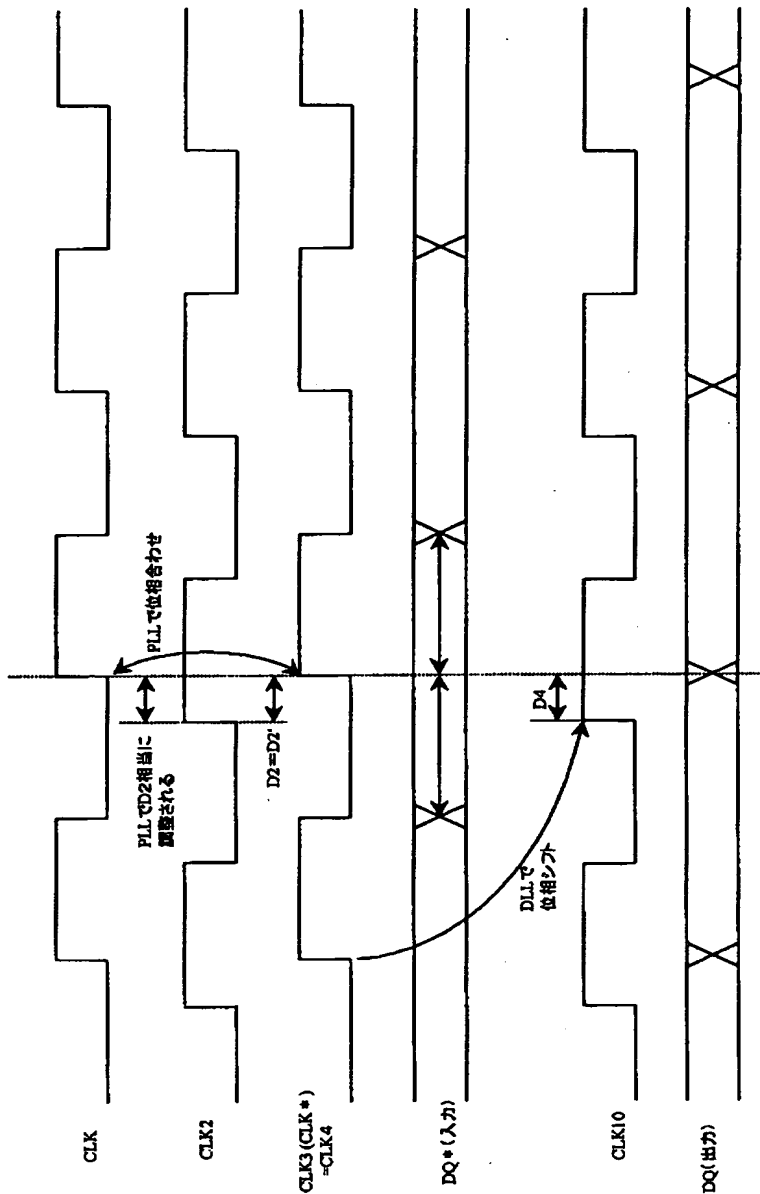
【図 5】

図 4 に示すメモリモジュールの回路構成例を示すブロック図



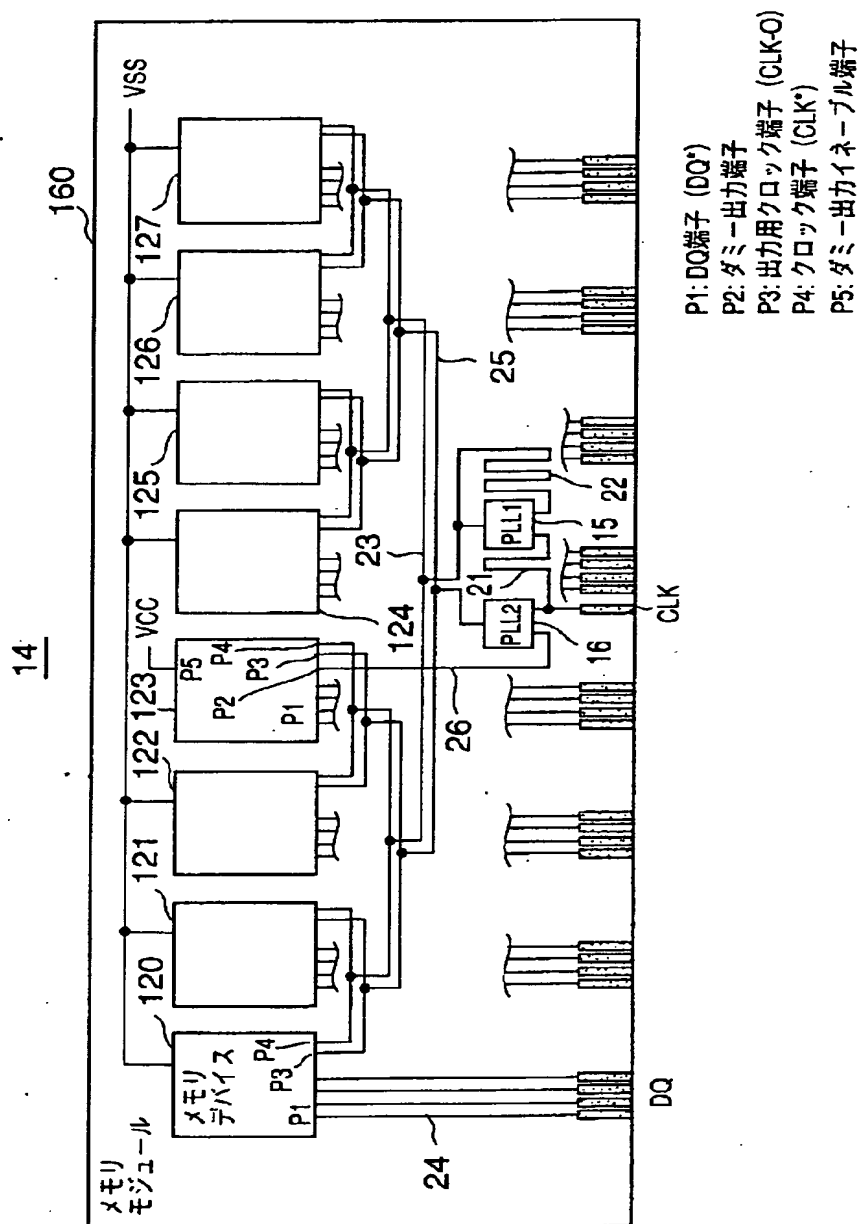
【図6】

図4及び図5に示すメモリモジュール  
の動作を示すタイミングチャート



【図 7】

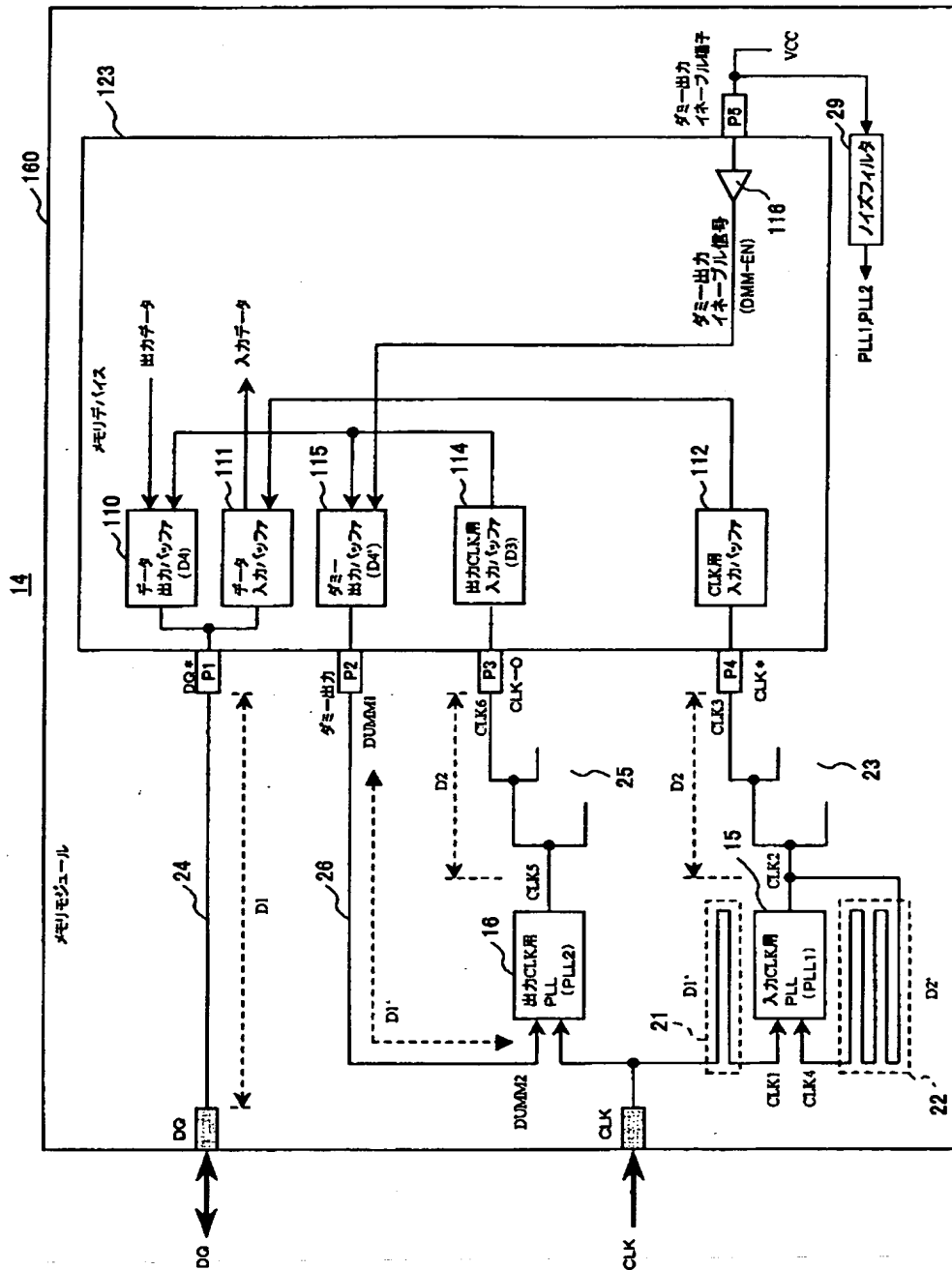
本発明の第1の実施の形態によるメモリモジュールの全体構成を示すブロック図





【图 8】

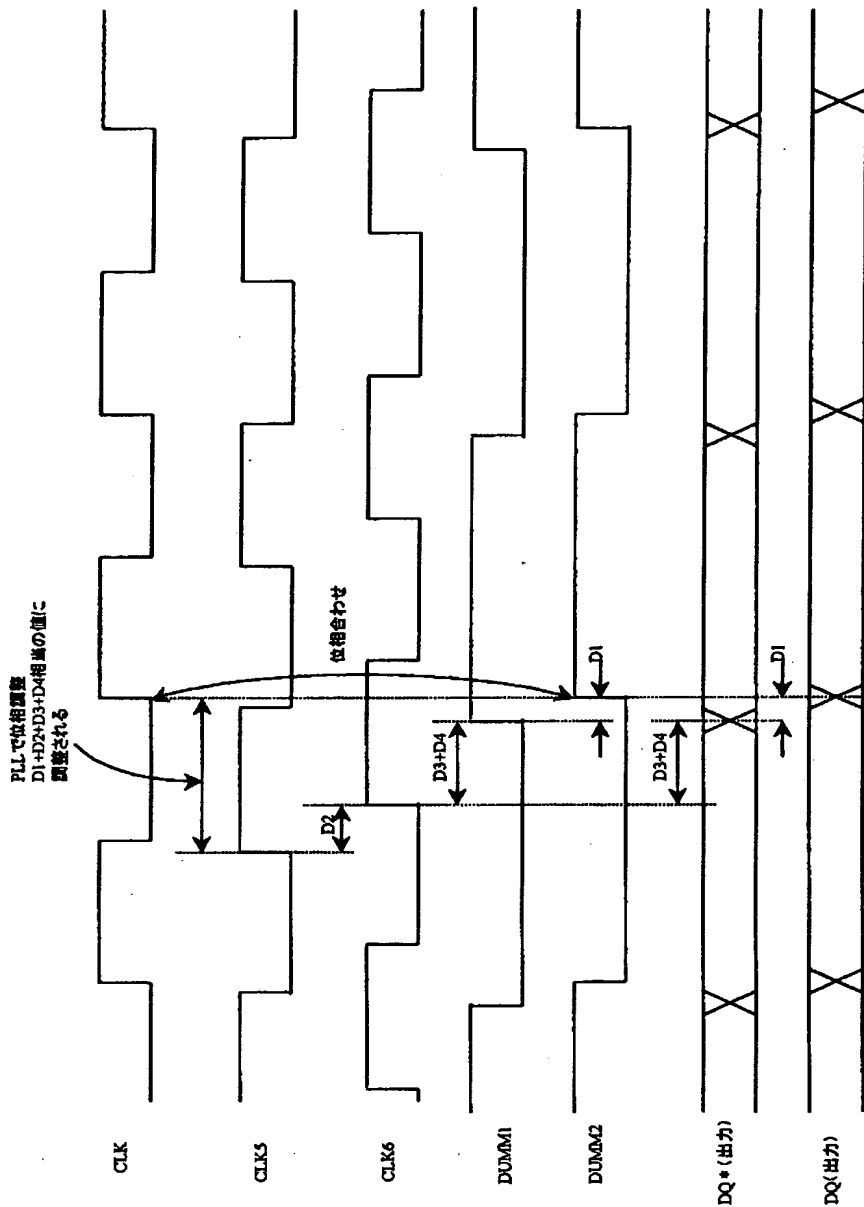
本発明の第 1 の実施の形態によるメモリモジュールの回路構成例を示すブロック図





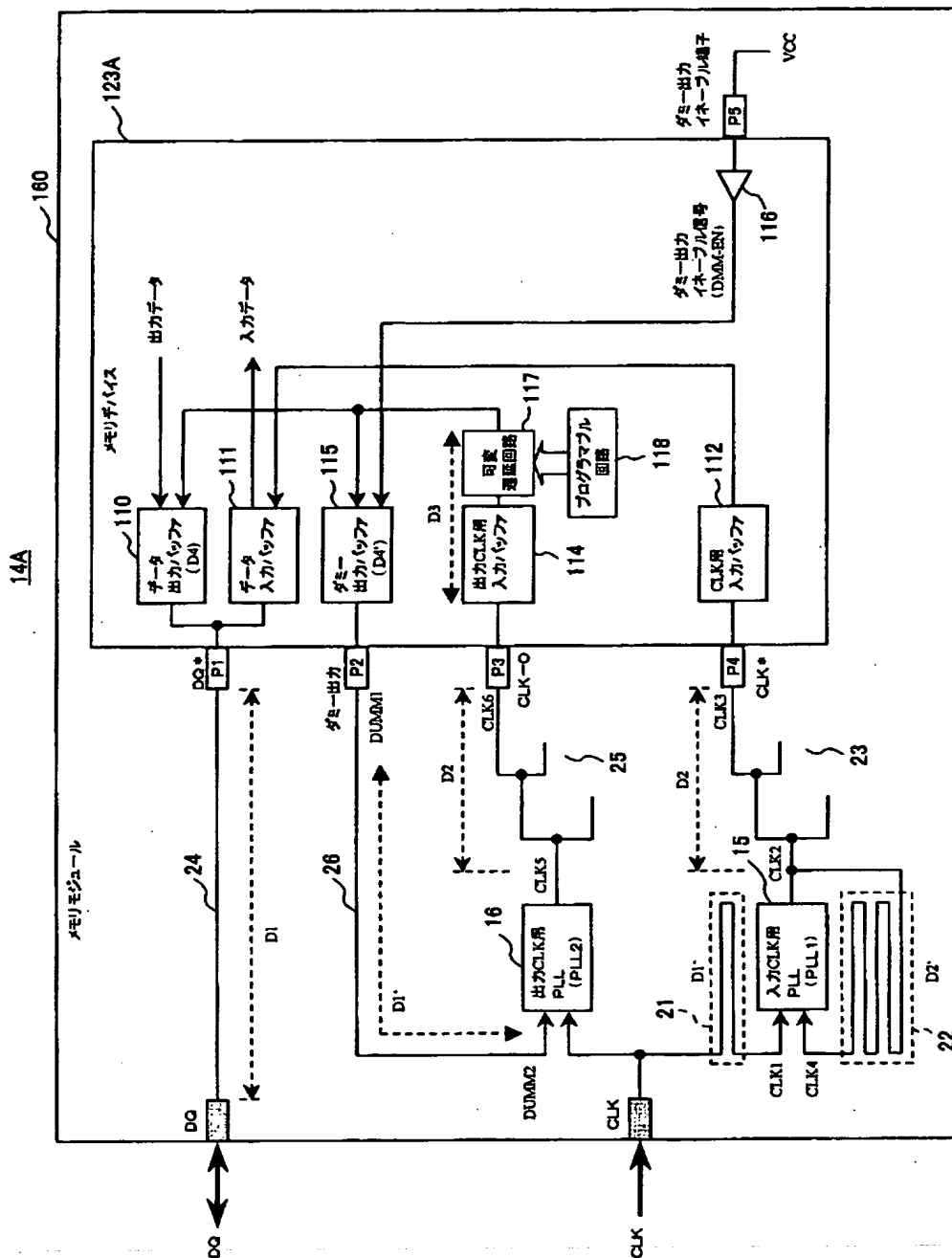
【図 1 0】

本発明の第 1 の実施の形態によるメモリモジュール  
のデータ出力時の動作を示すタイミング図



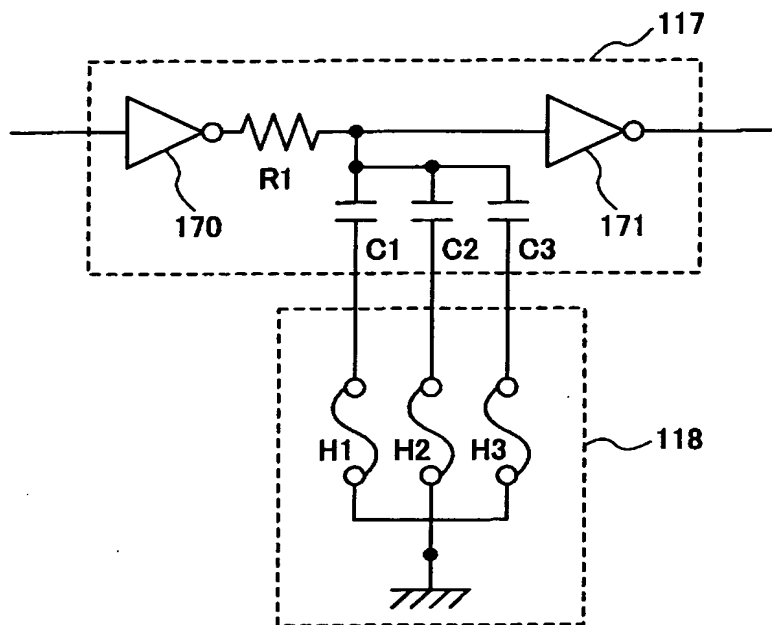
【图 1 1】

図 8 に示す回路構成の変形例を示すブロック図



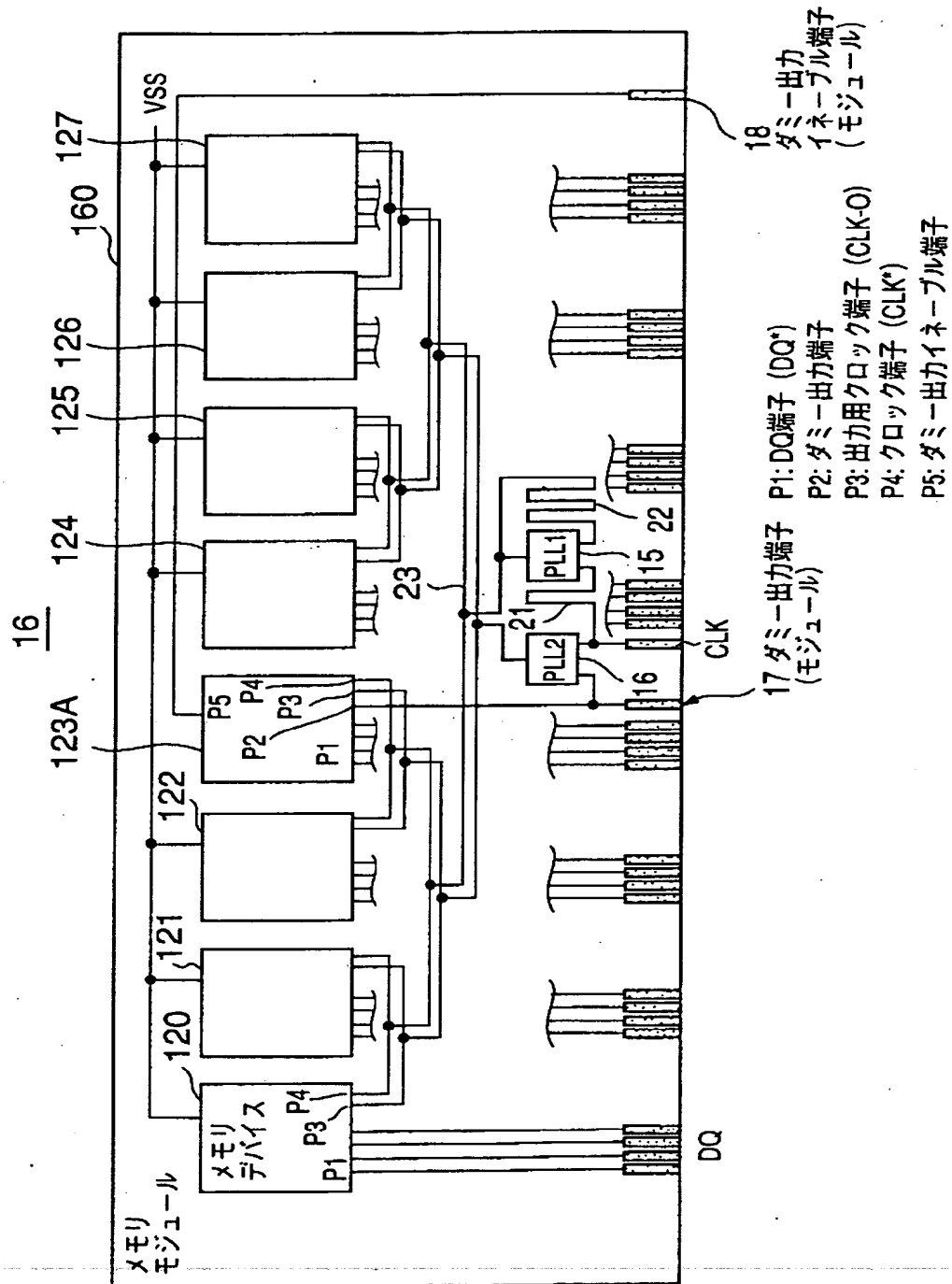
【図 1 2】

図 1 1 に示す可変遅延回路とプログラマブル回路  
の一構成例を示す回路図



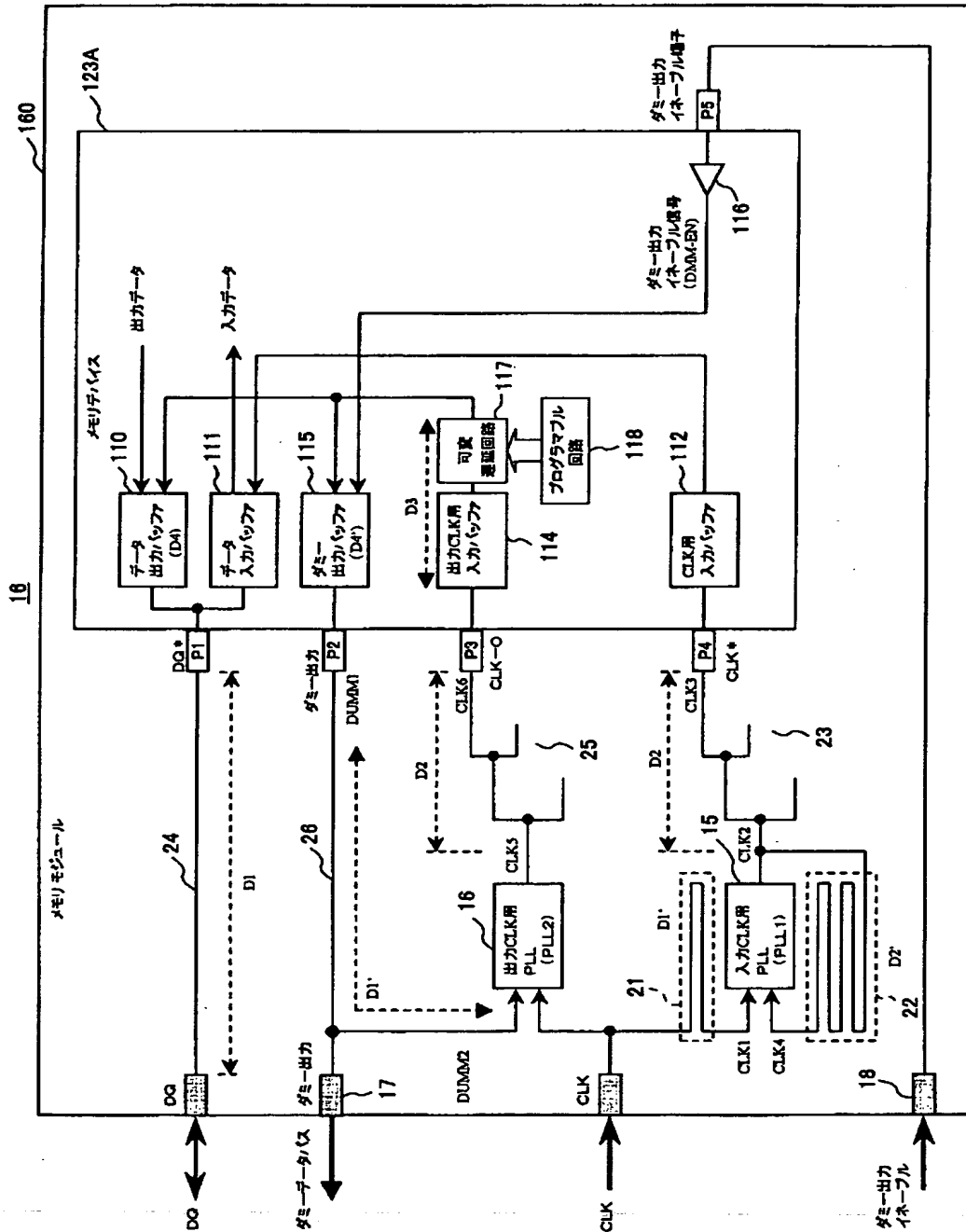
【図 13】

本発明の第2の実施の形態によるメモリモジュールの全体構成を示すブロック図



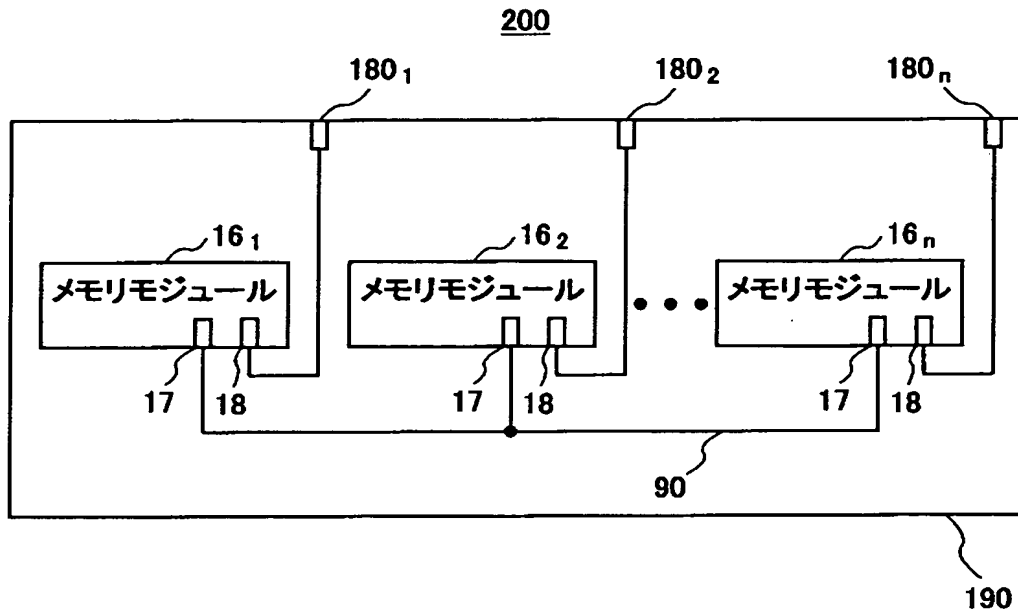
【図 14】

図 13 に示すメモリモジュールの回路構成例を示すブロック図



【図 1 5】

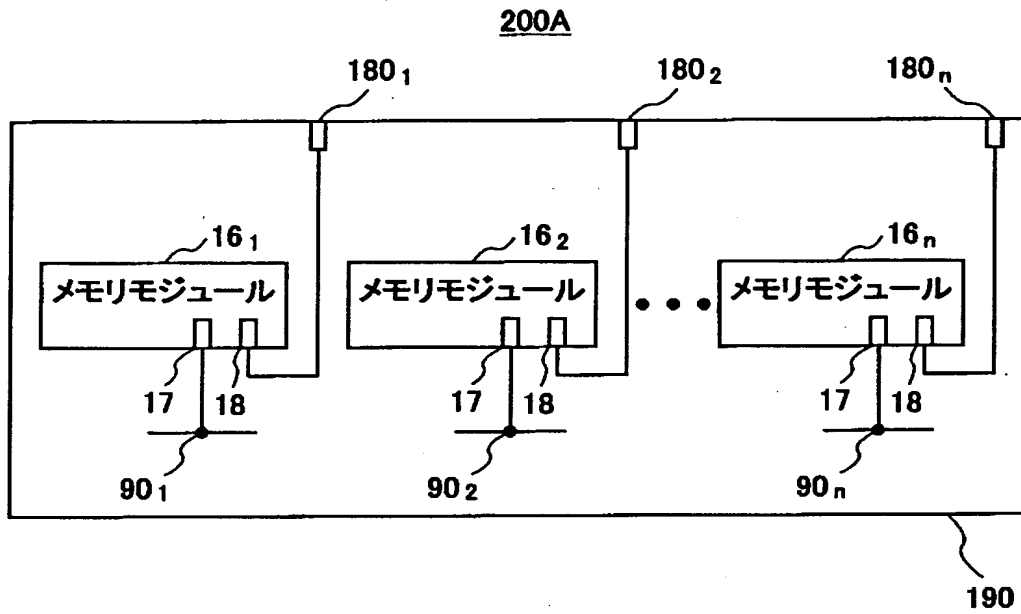
本発明の第 2 の実施の形態によるメモリモジュールを用いたメモリシステムの全体構成を示すブロック図





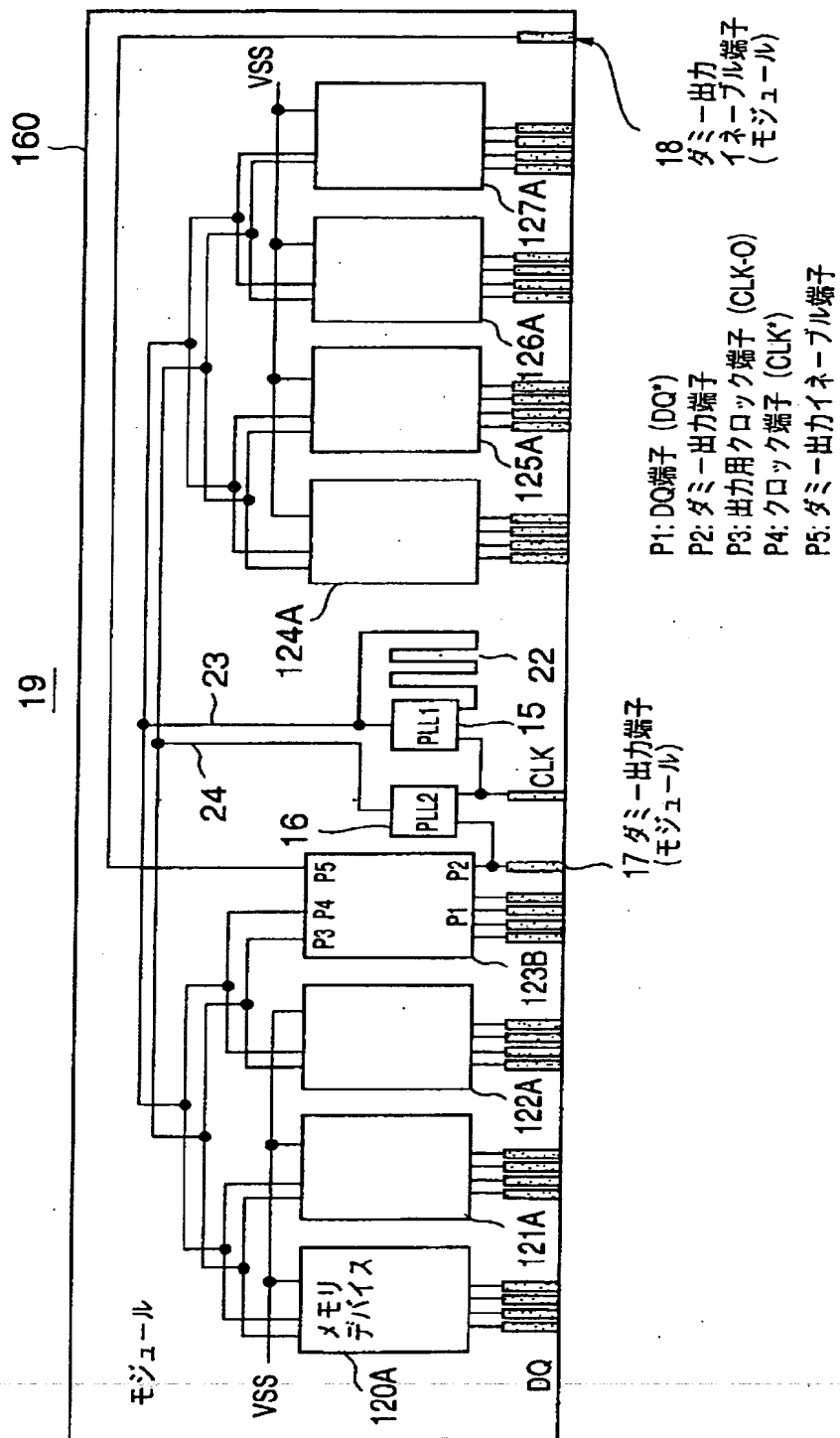
【図 1 6】

本発明の第 2 の実施の形態によるメモリモジュールを用いたメモリシステムの全体構成を示すブロック図



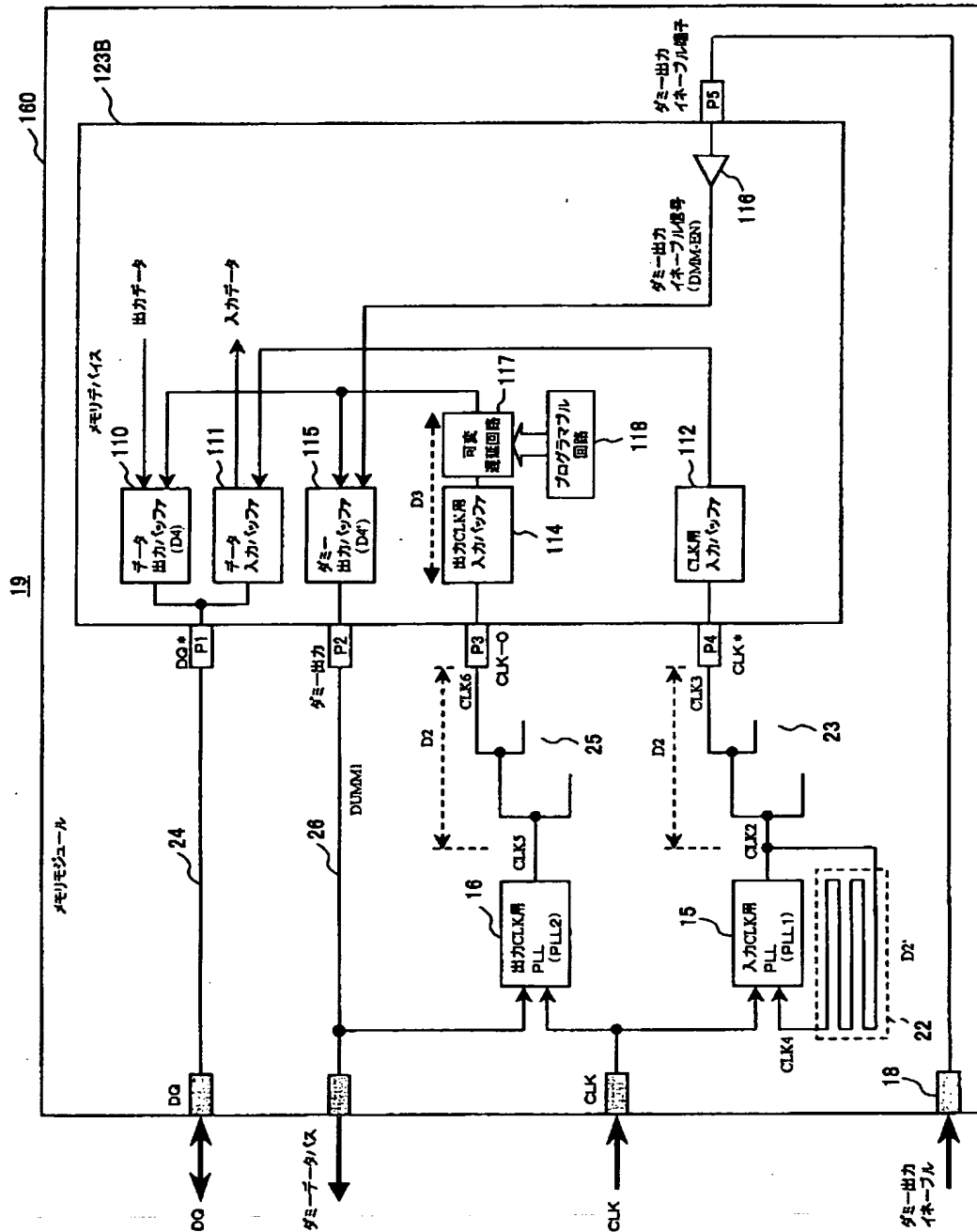
【図 17】

本発明の第3の実施の形態によるメモリモジュールの全体構成を示すブロック図



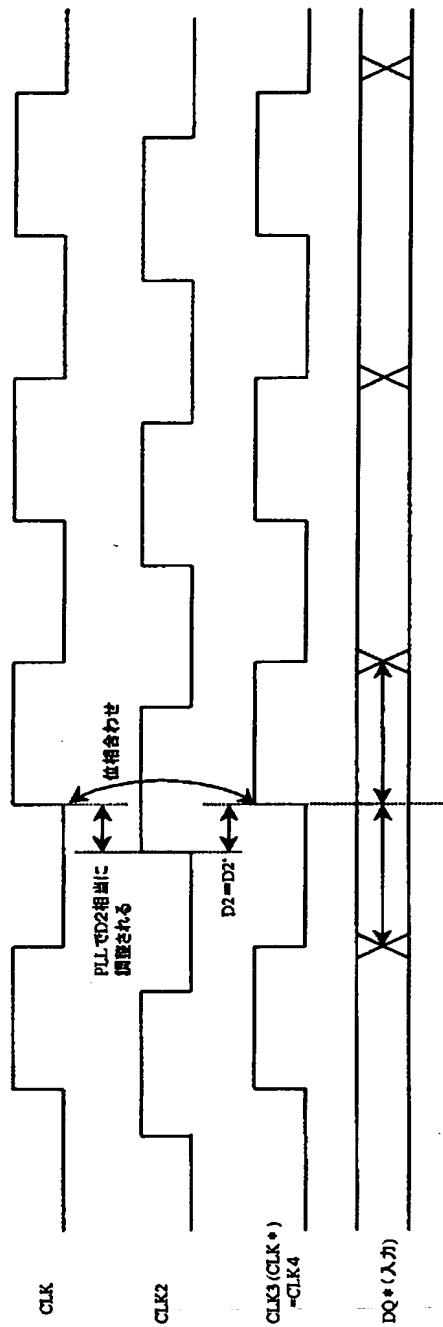
【図18】

図17に示すメモリモジュールの回路構成例を示すブロック図



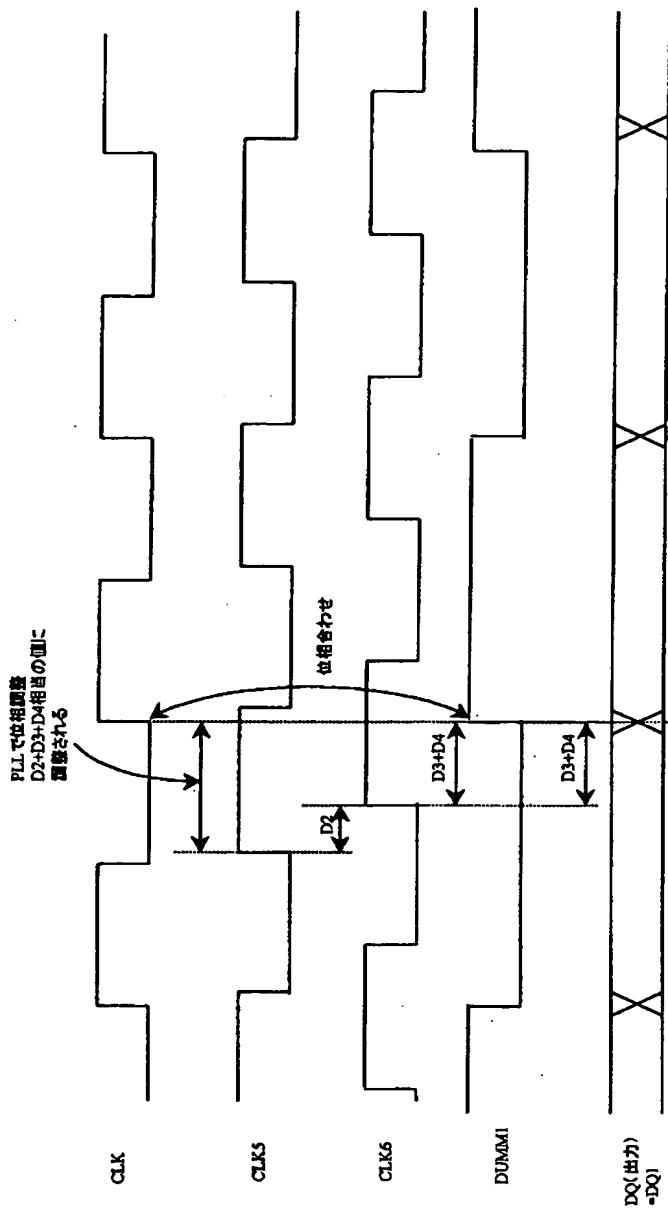
【図 1 9】

図 1 6 及び図 1 7 に示すメモリモジュール  
のデータ入力時の動作を示すタイミング図



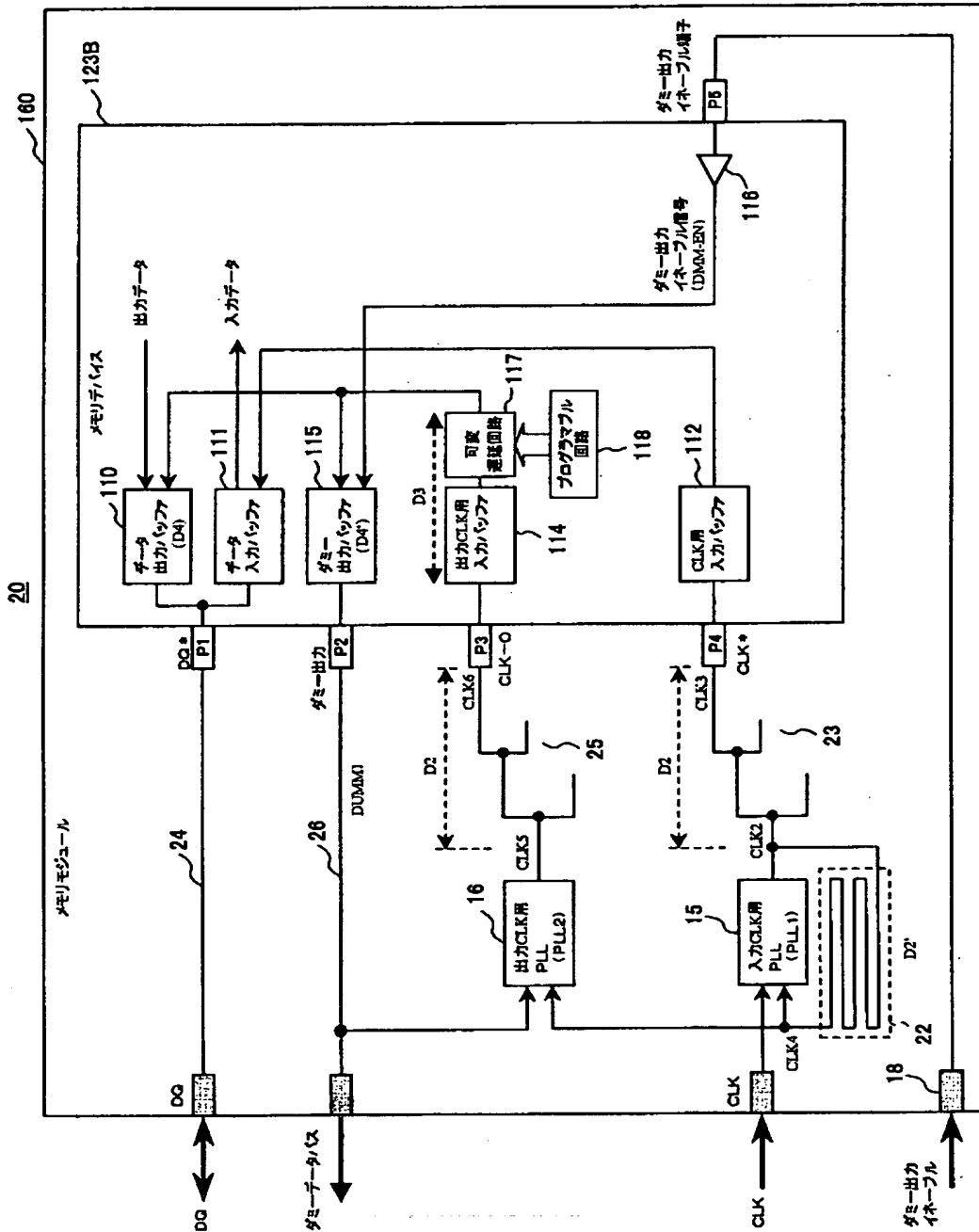
【図 2 0】

図 1 6 及び図 1 7 に示すメモリモジュール  
のデータ出力時の動作を示すタイミング図



【図 2 1】

本発明の第4の実施の形態によるメモリモジュールの全体構成を示すブロック図



【書類名】 要約書

【要約】

【課題】 電源ノイズに影響されことなく出力データとクロックを正確に同期させることができるモジュールを提供することを目的とする。

【解決手段】 半導体装置（123）から出力される位相調整用信号（DUMM2）と第1のクロック（CLK）とが所定の位相関係となるように第2のクロック（CLK2）を生成して出力する位相調整回路（16）と、前記半導体装置内に設けられ、前記第2のクロックから前記位相調整用信号を生成する出力回路（114、115）とを有するモジュール。

【選択図】 図8

出 願 人 履 歴 情 報

識別番号 [000005223]

- |          |                       |
|----------|-----------------------|
| 1. 変更年月日 | 1996年 3月26日           |
| [変更理由]   | 住所変更                  |
| 住 所      | 神奈川県川崎市中原区上小田中4丁目1番1号 |
| 氏 名      | 富士通株式会社               |